

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005825

International filing date: 29 March 2005 (29.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-140568
Filing date: 11 May 2004 (11.05.2004)

Date of receipt at the International Bureau: 20 May 2005 (20.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 5 月 1 1 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 4 0 5 6 8

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 1 4 0 5 6 8
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 4 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	PR300522
【提出日】	平成16年 5月11日
【あて先】	特許庁長官 殿
【国際特許分類】	H03K 7/08
【発明者】	
【住所又は居所】	京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
【氏名】	山本 精一
【特許出願人】	
【識別番号】	000116024
【氏名又は名称】	ローム株式会社
【代理人】	
【識別番号】	100085501
【弁理士】	
【氏名又は名称】	佐野 静夫
【手数料の表示】	
【予納台帳番号】	024969
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0113515

【書類名】 特許請求の範囲

【請求項 1】

負荷駆動用電界効果トランジスタと、

PWM電圧に基づく電圧のスルーレートを下げ、そのスルーレートを下げた電圧を前記負荷駆動用電界効果トランジスタのゲートに供給するスルーレート制御手段と、

前記負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、前記負荷駆動用電界効果トランジスタの出力電圧が略反転して前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になったことを検知すると、前記スルーレート制御手段の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるゲート電圧制御部と、

を備えることを特徴とするPWM駆動回路。

【請求項 2】

前記ゲート電圧制御部が、前記PWM電圧と前記負荷駆動用電界効果トランジスタの出力電圧を検知し、前記PWM電圧の値が前記負荷駆動用電界効果トランジスタをオンにするためのレベルであり且つ前記負荷駆動用電界効果トランジスタの出力電圧の値が前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一である場合にのみ、前記スルーレート制御手段の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げまたは引き下げる請求項 1 に記載のPWM駆動回路。

【請求項 3】

モータのロータ位置に応じたPWM電圧を生成するPWM電圧発生回路と、前記PWM電圧発生回路から出力されるPWM電圧に基づいて前記モータを駆動するPWM駆動回路とを備えたモータ駆動回路において、

前記PWM駆動回路が請求項 1 または請求項 2 に記載のPWM駆動回路であることを特徴とするモータ駆動回路。

【請求項 4】

請求項 1 または請求項 2 に記載のPWM駆動回路を備えることを特徴とするDC-DCコンバータ。

【書類名】 明細書

【発明の名称】 P W M駆動回路

【技術分野】

【 0 0 0 1 】

本発明は、P W M駆動回路に関し、特にスイッチングノイズを低減することができるP W M駆動回路に関する。

【背景技術】

【 0 0 0 2 】

P W M駆動回路では、スイッチングノイズを低減するためにスルーレートコントロールが行われることが一般的である（例えば、特許文献1の段落0 0 0 7参照）。スルーレートコントロールとは、負荷駆動用パワーM O Sトランジスタのゲート電圧の立ち上げ或いは立ち下げをゆるやかにすることにより、スイッチングノイズの低減を図るものである。

【 0 0 0 3 】

ここで、スルーレートコントロールが行われる従来のP W M駆動回路の一構成例を図5に示す。図5のP W M駆動回路は、Pチャンネル型M O Sトランジスタ（以下、P M O Sトランジスタという）Q 1、Q 3及びQ 5と、Nチャンネル型M O Sトランジスタ（以下、N M O Sトランジスタという）Q 2、Q 4及びQ 6と、抵抗R 1及びR 2と、出力端子3とを備えている。

【 0 0 0 4 】

P M O SトランジスタQ 1及びN M O SトランジスタQ 2から成るインバータ回路1の出力端が抵抗R 1を介してP M O SトランジスタQ 5のゲートに接続され、P M O SトランジスタQ 3及びN M O SトランジスタQ 4から成るインバータ回路2の出力端が抵抗R 2を介してN M O SトランジスタQ 6のゲートに接続される。また、P M O SトランジスタQ 5のソースに定電圧 V_{CC} が印加され、N M O SトランジスタQ 6のソースが接地される。さらに、P M O SトランジスタQ 5のドレインとN M O SトランジスタQ 6のドレインが出力端子3に共通接続される。

【 0 0 0 5 】

インバータ回路1は入力したP W M電圧 V_{PWM} を反転して出力する。インバータ回路1の出力は抵抗R 1及びP M O SトランジスタQ 5の容量（ゲートーソース間容量やゲートーバックゲート間容量等）から成るC R回路を経由してP M O SトランジスタQ 5のゲートに供給されるため、P M O SトランジスタQ 5のゲート電圧の立ち上がり或いは立ち下がりがゆるやかになる。

【 0 0 0 6 】

インバータ回路2は入力したP W M電圧 V_{PWM} を反転して出力する。インバータ回路2の出力は抵抗R 2及びN M O SトランジスタQ 6の容量（ゲートーソース間容量やゲートーバックゲート間容量等）から成るC R回路を経由してN M O SトランジスタQ 6のゲートに供給されるため、N M O SトランジスタQ 6のゲート電圧の立ち上がり或いは立ち下がりがゆるやかになる。

【 0 0 0 7 】

このように負荷駆動用パワーM O SトランジスタであるP M O SトランジスタQ 5及びN M O SトランジスタQ 6のゲート電圧の立ち上げ或いは立ち下げがゆるやかであるため、スイッチングノイズを低減することができる。

【 0 0 0 8 】

そして、図5のP W M駆動回路では、P W M電圧 V_{PWM} がH i g hレベルのときにP M O SトランジスタQ 5がオンになりN M O SトランジスタQ 6がオフになるので出力端子3から出力される出力電圧 V_{OUT} の値がほぼ V_{CC} になり、P W M電圧 V_{PWM} がL o wレベルのときにP M O SトランジスタQ 5がオフになりN M O SトランジスタQ 6がオンになるので出力端子3から出力される出力電圧 V_{OUT} の値がほぼ零になる。

【 0 0 0 9 】

続いて、スルーレートコントロールが行われる従来のP W M駆動回路の他の構成例を図

6に示す。なお、図6において図5と同一の部分には同一の符号を付し詳細な説明を省略する。

【0010】

図6のPWM駆動回路は、図5のPWM駆動回路から抵抗R1を取り除き、その代わりに抵抗R3及びR4の直列回路をPMOSトランジスタQ1のドレインとNMOSトランジスタQ2のドレインとの間に設け、抵抗R3と抵抗R4の接続ノードにPMOSトランジスタQ5のゲートを接続し、さらに抵抗R2を取り除き、その代わりに抵抗R5及びR6の直列回路をPMOSトランジスタQ3のドレインとNMOSトランジスタQ4のドレインとの間に設け、抵抗R5と抵抗R6の接続ノードにNMOSトランジスタQ6のゲートを接続した構成である。

【0011】

図6のPWM駆動回路は、抵抗R3或いは抵抗R4とPMOSトランジスタQ5の容量（ゲートソース間容量やゲートバックゲート間容量等）とから成るCR回路によって負荷駆動用パワーMOSトランジスタであるPMOSトランジスタQ5のゲート電圧の立ち上げ或いは立ち下げがゆるやかになり、抵抗R5或いは抵抗R6とNMOSトランジスタQ6の容量（ゲートソース間容量やゲートバックゲート間容量等）とから成るCR回路によって負荷駆動用パワーMOSトランジスタであるNMOSトランジスタQ6のゲート電圧の立ち上げ或いは立ち下げがゆるやかになるので、図5のPWM駆動回路と同様にスイッチングノイズを低減することができる。

【特許文献1】特開2001-204187号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

ここで、図5や図6に示す従来のPWM駆動回路においてPWM電圧 V_{PWM} がHighレベルからLowレベルに切り替わるときのPWM電圧 V_{PWM} 、PMOSトランジスタQ5のゲート電圧 V_{GP} 、NMOSトランジスタQ6のゲート電圧 V_{GN} 及び出力電圧 V_{OUT} のタイムチャートを図7(a)に示す。なお、PMOSトランジスタQ5のゲート電圧 V_{GP} 、NMOSトランジスタQ6のゲート電圧 V_{GN} 、及び出力電圧 V_{OUT} については、出力端子3から負荷へ電流が流出する場合（電流ソース時）と出力端子3へ電流が流入する場合（電流シンク時）のそれぞれの波形を示している。

【0013】

PWM電圧 V_{PWM} がHighレベルからLowレベルに反転した時点（ t_1 ）からNMOSトランジスタQ6のゲート電圧 V_{GN} はCR回路の時定数にしたがってゆるやかに上昇する。そして、NMOSトランジスタQ6のゲート電圧 V_{GN} が閾値 V_{THN} に達した時点（ t_2 ）で、NMOSトランジスタQ6はオフからオンに切り替わる。

【0014】

NMOSトランジスタQ6がオフからオンに切り替わった後も、NMOSトランジスタQ6のゲート電圧 V_{GN} は所定値（ $\simeq V_{CC}$ ）に達する時点（ t_3 ）までCR回路の時定数にしたがってゆるやかに上昇し続ける。このため、 t_2 時点から t_3 時点までの期間NMOSトランジスタQ6は十分に低いオン抵抗を得ることができなかった。

【0015】

また、PWM電圧 V_{PWM} がLowレベルからHighレベルに切り替わるときは、PMOSトランジスタQ5が十分に低いオン抵抗を得ることができない期間がある（図7(b)参照）。

【0016】

図5や図6に示す従来のPWM駆動回路は、スルーレートコントロールによりスイッチングノイズが低減するものの、負荷駆動用パワーMOSトランジスタがオフからオンに切り替わってからゲート電圧が完全に反転するまでの期間十分に低いオン抵抗を得ることができないためにスイッチング損失が増大するという問題があった。かかる問題は、PWM駆動回路の出力がインダクタンス成分を含む負荷に供給される場合に特に顕著であった。

【0017】

なお、特許文献1では、モータをPWM制御して駆動させる駆動制御装置において、共振回路と逆流防止ダイオードを設けることで、スイッチングノイズ及びスイッチング損失の低減を図っている。しかしながら、このような構成では、共振回路のコイルが装置の小型化を妨げる等の問題が新たに発生することになる。

【0018】

本発明は、上記の問題点に鑑み、スイッチングノイズ及びスイッチング損失が小さいPWM駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0019】

上記目的を達成するために本発明に係るPWM駆動回路は、負荷駆動用電界効果トランジスタと、PWM電圧に基づく電圧のスルーレートを下げ、そのスルーレートを下げた電圧を前記負荷駆動用電界効果トランジスタのゲートに供給するスルーレート制御手段と、前記負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、前記負荷駆動用電界効果トランジスタの出力電圧が略反転して前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になったことを検知すると、前記スルーレート制御手段の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるゲート電圧制御部と、を備える。

【0020】

このような構成によると、負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、負荷駆動用電界効果トランジスタの出力電圧が略反転して負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になると、負荷駆動用電界効果トランジスタが速やかに変動するので、負荷駆動用電界効果トランジスタがオフからオンに切り替わってからゲート電圧が完全に反転するまでの期間を短くすることができる。これにより、負荷駆動用電界効果トランジスタのオン抵抗が大きい期間が短くなり、スイッチング損失を低減することができる。また、PWM電圧の反転により負荷駆動用電界効果トランジスタがオンからオフに切り替わる際に、負荷駆動用電界効果トランジスタの出力電圧が略反転するまでは負荷駆動用電界効果トランジスタのゲート電圧がスルーレート制御手段の特性にしたがって従来と同様にゆるやかに変化するので、スイッチングノイズを低減することができる。

【0021】

また、前記ゲート電圧制御部が、前記PWM電圧と前記負荷駆動用電界効果トランジスタの出力電圧を検知し、前記PWM電圧の値が前記負荷駆動用電界効果トランジスタをオンにするためのレベルであり且つ前記負荷駆動用電界効果トランジスタの出力電圧の値が前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一である場合にのみ、前記スルーレート制御手段の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるようにしてもよい。

【0022】

このような構成によると、ゲート電圧制御部が不要にスルーレート制御手段の動作を停止させ負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げることを防止できるので、負荷駆動用電界効果トランジスタのオン／オフ切替がPWM電圧に応じて正確に行われる。

【0023】

また、本発明に係るPWM駆動回路は、モータ駆動回路やDC-DCコンバータ等に適用することができる。

【発明の効果】

【0024】

本発明によると、スイッチングノイズ及びスイッチング損失が小さいPWM駆動回路を実現することができる。

【発明を実施するための最良の形態】

【0025】

本発明の一実施形態について図面を参照して以下に説明する。本発明に係るPWM駆動回路の一構成例を図1に示す。なお、図1において図6と同一の部分には同一の符号を付し、詳細な説明を省略する。

【0026】

図1に示す本発明に係るPWM駆動回路は、図6のPWM駆動回路にゲート電圧制御部4及び5を新たに設けた構成である。ゲート電圧制御部4は、出力電圧 V_{OUT} 及びPWM電圧 V_{PWM} を検知し、出力電圧 V_{OUT} が所定値（ $\equiv V_{CC}$ ）まで増加しておおむね反転し且つPWM電圧 V_{PWM} がHighレベルであれば、PMOSトランジスタQ5のゲート電位を引き下げることによりPMOSトランジスタQ5のゲート電圧を速やかに減少させて、PMOSトランジスタQ5のゲート電圧が完全に反転する迄の時間を短くする。

【0027】

また、ゲート電圧制御部5は、出力電圧 V_{OUT} 及びPWM電圧 V_{PWM} を検知し、出力電圧 V_{OUT} が所定値（ \equiv 零）まで減少しておおむね反転し且つPWM電圧 V_{PWM} がLowレベルであれば、NMOSトランジスタQ6のゲート電位を引き上げることによりNMOSトランジスタQ6のゲート電圧を速やかに増加させて、NMOSトランジスタQ6のゲート電圧が完全に反転する迄の時間を短くする。

【0028】

図1に示す本発明に係るPWM駆動回路は、上記動作を行うゲート電圧制御部4及び5を備えるので、負荷駆動用パワーMOSトランジスタであるPMOSトランジスタQ5やNMOSトランジスタQ6がオフからオンに切り替わってからゲート電圧が完全に反転するまでの期間を短くすることができる。これにより、負荷駆動用パワーMOSトランジスタのオン抵抗が大きい期間が短くなり、スイッチング損失を低減することができる。また、PWM電圧 V_{PWM} の反転により負荷駆動用パワーMOSトランジスタがオンからオフに切り替わる際に、出力電圧 V_{OUT} がおおむね反転するまでは負荷駆動用パワーMOSトランジスタのゲート電圧がCR回路の時定数にしたがって従来と同様にゆるやかに変化するので、スイッチングノイズを低減することができる。

【0029】

なお、ゲート電圧制御回路4が出力電圧 V_{OUT} のみを検知し、出力電圧 V_{OUT} が所定値（ $\equiv V_{CC}$ ）まで増加しておおむね反転すれば、PMOSトランジスタQ5のゲート電位を引き下げ、ゲート電圧制御回路5が出力電圧 V_{OUT} のみを検知し、出力電圧 V_{OUT} が所定値（ \equiv 零）まで減少しておおむね反転すれば、NMOSトランジスタQ6のゲート電位を引き上げるようにすることも可能であるが、不要に負荷駆動用パワーMOSトランジスタのゲート電位が引き上がるまたは引き下がることを防止するために図1の構成にすることが望ましい。また、図1のPWM駆動回路から抵抗R3及びR4を取り除き、その代わりに一端がPMOSトランジスタQ1とNMOSトランジスタQ2の接続ノードに接続され他端がPMOSトランジスタQ5のゲートとゲート電圧制御部4の接続ノードに接続される抵抗を設け、さらに抵抗R5及びR6を取り除き、その代わりに一端がPMOSトランジスタQ3とNMOSトランジスタQ4の接続ノードに接続され他端がNMOSトランジスタQ6のゲートとゲート電圧制御部5の接続ノードに接続される抵抗を設ける構成としても、図1のPWM駆動回路と同様に、スイッチングノイズ及びスイッチング損失を低減することができる。

【0030】

続いて、図1のPWM駆動回路の一回路構成例を図2に示す。なお、図2において図1と同一の部分には同一の符号を付し、詳細な説明を省略する。

【0031】

図2のPWM駆動回路は、ANDゲート6及びNMOSトランジスタQ7によってゲート制御部4を構成し、ORゲート7及びPMOSトランジスタQ8によってゲート制御部5を構成している。

【0032】

NMOSトランジスタQ7のドレインがPMOSトランジスタQ5のゲートに接続され、NMOSトランジスタQ7のソースが接地される。そして、ANDゲート6が、出力電圧 V_{OUT} とPWM電圧 V_{PWM} の論理積をNMOSトランジスタQ7のゲートに供給する。

【0033】

また、PMOSトランジスタQ8のドレインがNMOSトランジスタQ6のゲートに接続され、PMOSトランジスタQ8のソースに定電圧 V_{CC} が印加される。そして、ORゲート7が、出力電圧 V_{OUT} とPWM電圧 V_{PWM} の論理和をPMOSトランジスタQ8のゲートに供給する。

【0034】

ここで、図2のPWM駆動回路においてPWM電圧 V_{PWM} がHighレベルからLowレベルに切り替わるときのPWM電圧 V_{PWM} 、PMOSトランジスタQ5のゲート電圧 V_{GP} 、NMOSトランジスタQ6のゲート電圧 V_{GN} 及び出力電圧 V_{OUT} のタイムチャートを図3(a)に示す。なお、PMOSトランジスタQ5のゲート電圧 V_{GP} 、NMOSトランジスタQ6のゲート電圧 V_{GN} 、及び出力電圧 V_{OUT} については、出力端子3から負荷へ電流が流出する場合（電流ソース時）と出力端子3へ電流が流入する場合（電流シンク時）のそれぞれの波形を示している。

【0035】

PWM電圧 V_{PWM} がHighレベルからLowレベルに反転した時点（ t_1 ）からNMOSトランジスタQ6のゲート電圧 V_{GN} はCR回路の時定数にしたがってゆるやかに上昇する。そして、NMOSトランジスタQ6のゲート電圧 V_{GN} が閾値 V_{THN} に達した時点（ t_2 または t_2' ）で、NMOSトランジスタQ6はオフからオンに切り替わる。

【0036】

NMOSトランジスタQ6がオフからオンに切り替わった後も、出力電圧 V_{OUT} が所定値 V_1 （＝Lowレベル）になり且つPWM電圧 V_{PWM} がLowレベルになる時点（ t_4 または t_4' ）まで、NMOSトランジスタQ6のゲート電圧 V_{GN} はCR回路の時定数にしたがってゆるやかに上昇し続ける。 t_4 または t_4' 時点においてORゲート7の出力がHighレベルからLowレベルに切り替わり、PMOSトランジスタQ8がオフからオンに切り替わる。したがって、 t_4 または t_4' 時点以後、NMOSトランジスタQ6のゲート電圧 V_{GN} は所定値（ $\equiv V_{CC}$ ）に達する時点（ t_5 または t_5' ）まで速やかに増大する。このため、図2に示す本発明に係るPWM駆動回路においてNMOSトランジスタQ6が十分に低いオン抵抗を得られない期間（ $t_2 \sim t_5$ または $t_2' \sim t_5'$ ）は、図5や図6に示す従来のPWM駆動回路においてNMOSトランジスタQ6が十分に低いオン抵抗を得られない期間（図7の $t_2 \sim t_3$ ）よりも短くなる。

【0037】

また、ANDゲート6及びNMOSトランジスタQ7から成るゲート制御部4を設けているので、PMOSトランジスタQ5が十分に低いオン抵抗を得られない期間も従来より短くなる（図3(b)参照）。

【0038】

これにより、スルーレートを従来と同程度またはより小さくしてスイッチングノイズの低減を図るとともに、スイッチング損失の低減を図ることができる。

【0039】

尚、上記所定値 V_1 の設定は、ANDゲート6内部のMOSトランジスタのゲート幅／ゲート長を調整することによって行うことができる。また、ORゲート7についてもORゲート7内部のMOSトランジスタのゲート幅／ゲート長を調整することによって同様の設定（図3(b)中の所定値 V_2 の設定）を行うことができる。

【0040】

上述した本発明に係るPWM駆動回路は、例えばDC-DCコンバータやモータ駆動回路等に適用することができる。

【0041】

本発明に係るP W M駆動回路の出力端子に平滑コンデンサを接続することによって、スイッチングノイズ及びスイッチング損失が小さいD C－D Cコンバータを実現することができる。

【0042】

続いて、本発明に係るP W M駆動回路をモータ駆動回路に適用した場合について説明する。本発明に係るP W M駆動回路を備えたモータ駆動回路の一構成例を図4に示す。モータ駆動回路8は、U相用P W M駆動回路9と、V相用P W M駆動回路10と、W相用P W M駆動回路11と、P W M電圧発生回路12とを備えている。ここで、U相用P W M駆動回路9、V相用P W M駆動回路10及びW相用P W M駆動回路11は、図2のP W M駆動回路と同一構成である。

【0043】

U相用P W M駆動回路9の出力端子が三相ブラシレスモータ13のU相ステータコイルに接続され、V相用P W M駆動回路10の出力端子が三相ブラシレスモータ13のV相ステータコイルに接続され、W相用P W M駆動回路11の出力端子が三相ブラシレスモータ13のW相ステータコイルに接続される。P W M駆動回路12は三相ブラシレスモータ13の各相モータ電圧を入力し、その各相モータ電圧に基づいて各相P W M電圧を生成し、U相用P W M電圧をU相用P W M駆動回路9に出力し、V相用P W M電圧をV相用P W M駆動回路10に出力し、W相用P W M電圧をW相用P W M駆動回路11に出力する。

【0044】

このような構成により、スイッチングノイズ及びスイッチング損失が小さいモータ駆動回路を実現することができる。なお、図4のモータ駆動回路が備えるP W M駆動回路12は各相モータ電圧に基づいて各相P W M電圧を生成したが、ロータ位置検出センサを有する三相ブラシレスモータに接続される場合は、P W M駆動回路12に代えて、ロータ位置検出センサの出力信号を入力し、そのロータ位置検出センサの出力信号に基づいて各相P W M電圧を生成するP W M駆動回路を設けるようにするとよい。

【図面の簡単な説明】

【0045】

【図1】は、本発明に係るP W M駆動回路の一構成例を示す図である。

【図2】は、図1のP W M駆動回路の一回路構成例を示す図である。

【図3】は、図2に示すP W M駆動回路の各部電圧のタイムチャートである。

【図4】は、本発明に係るモータ駆動回路の一構成例を示すブロック図である。

【図5】は、従来のP W M駆動回路の一構成例を示す図である。

【図6】は、従来のP W M駆動回路の他の構成例を示す図である。

【図7】は、図5や図6に示すP W M駆動回路の各部電圧のタイムチャートである。

【符号の説明】

【0046】

1、2 インバータ回路

3 出力端子

4、5 ゲート電圧制御部

6 A N Dゲート

7 O Rゲート

8 モータ駆動回路

9 U相用P W M駆動回路

10 V相用P W M駆動回路

11 W相用P W M駆動回路

12 P W M電圧発生回路

13 三相ブラシレスモータ

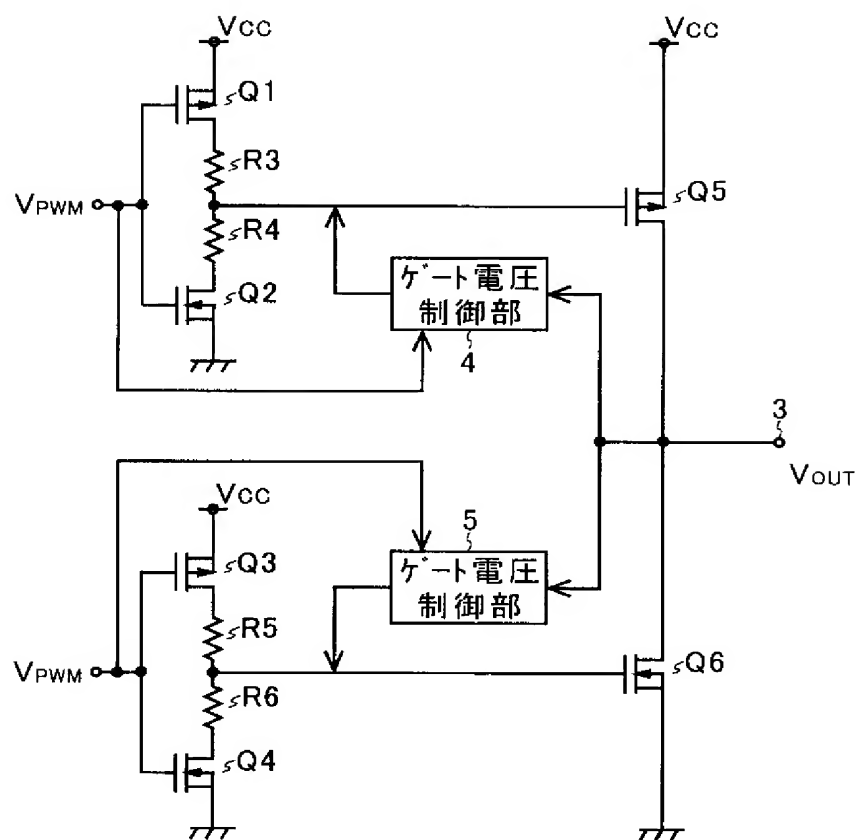
Q 1、Q 3、Q 5、Q 8 P M O Sトランジスタ

Q 2、Q 4、Q 6、Q 7 N M O Sトランジスタ

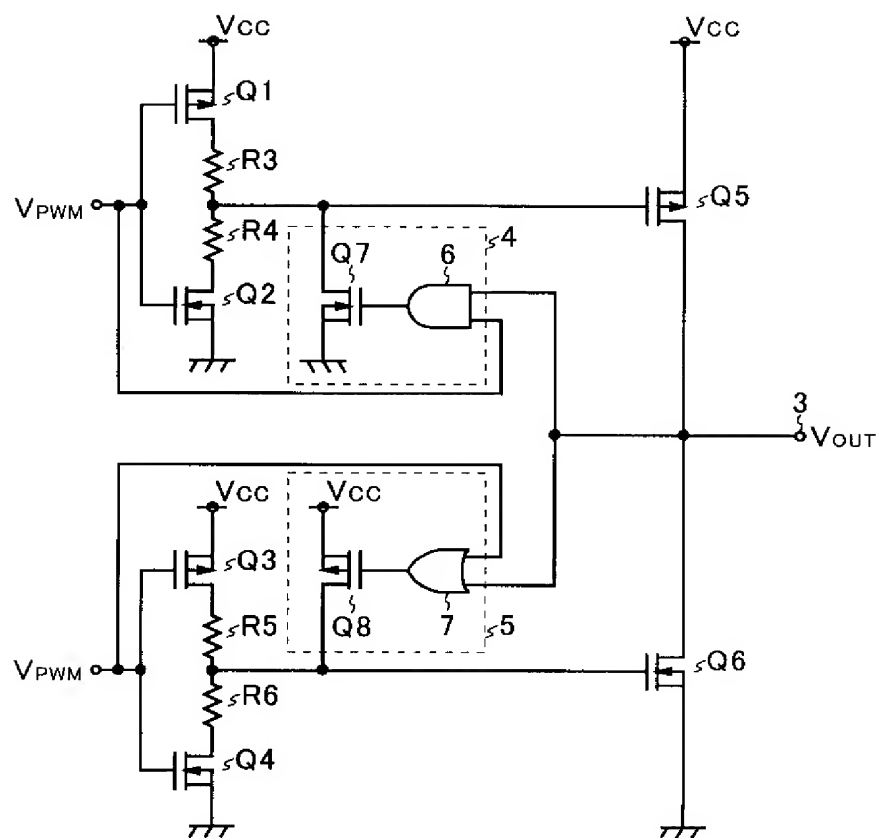
R 1～R 6 抵抗

【書類名】 図面

【図 1】

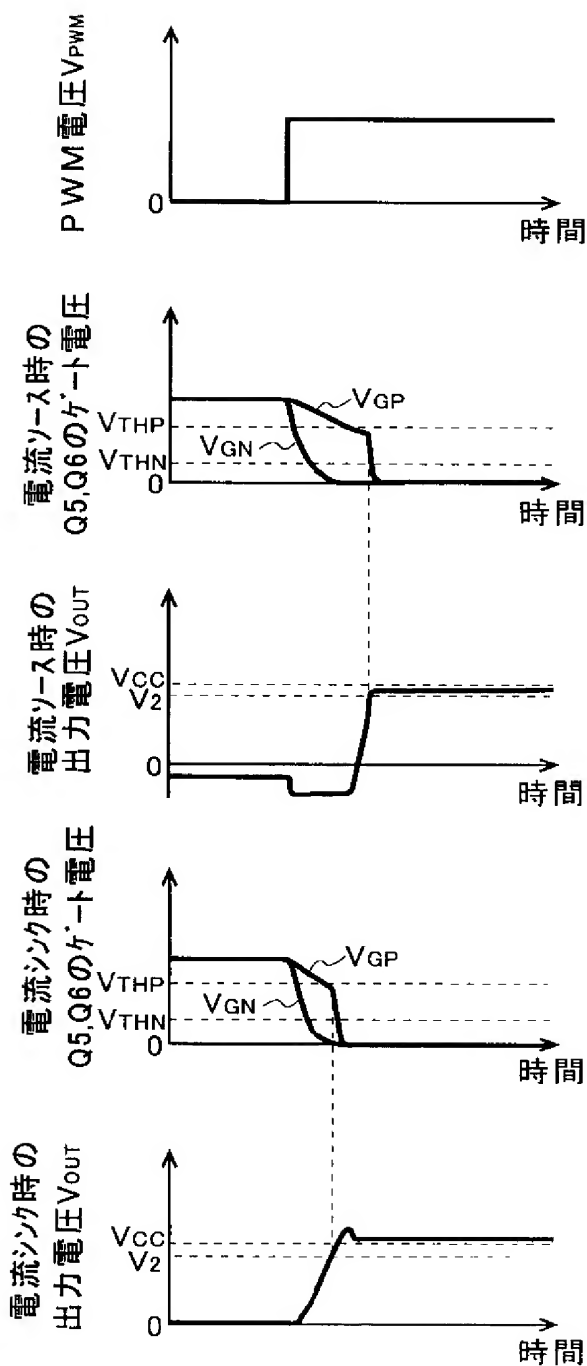
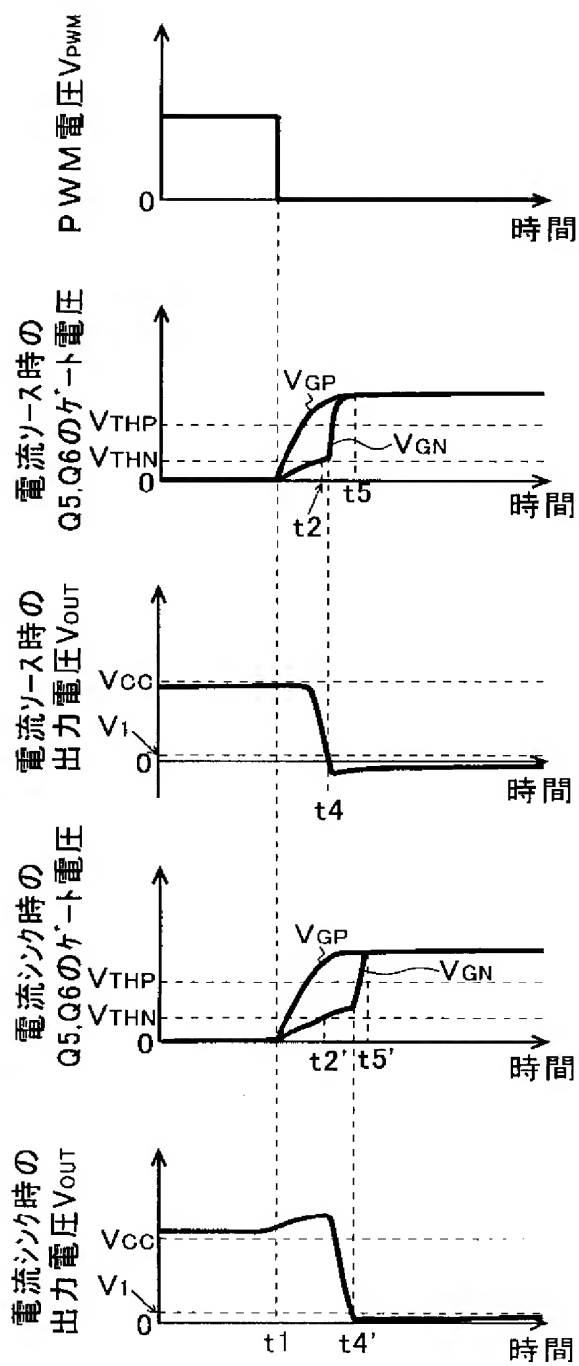


【図 2】

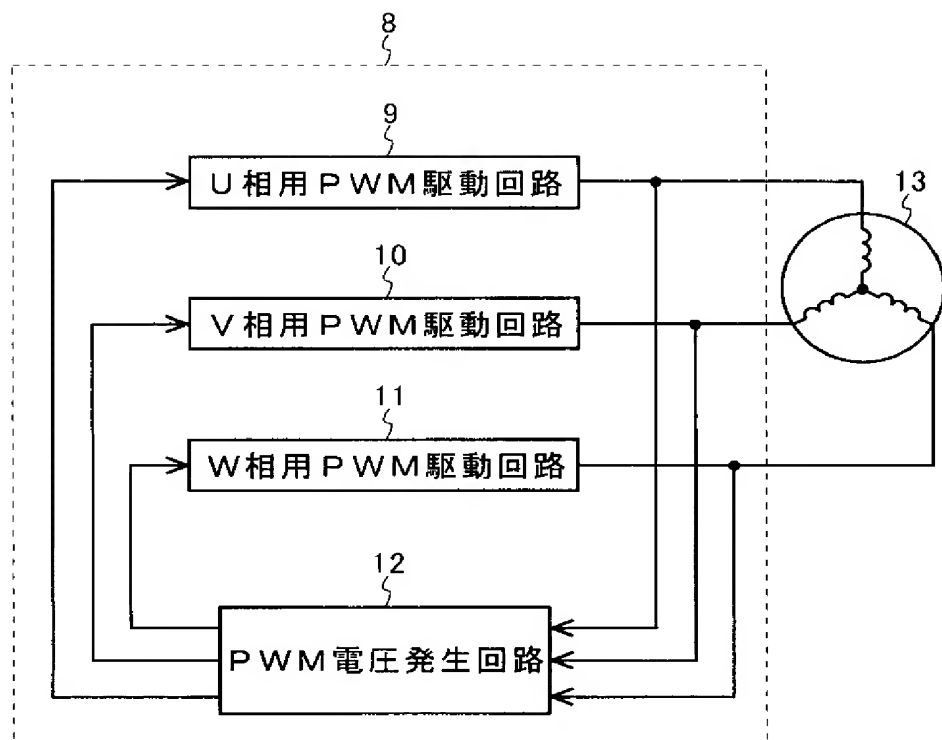


(a)

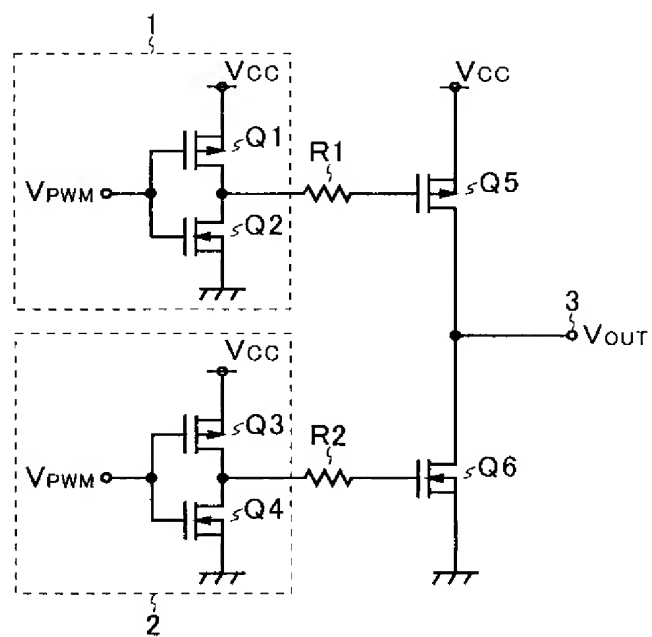
(b)



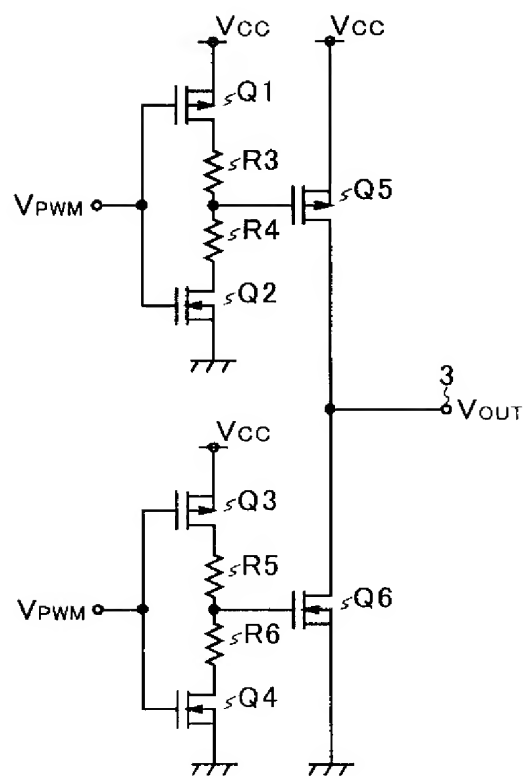
【図 4】



【図 5】

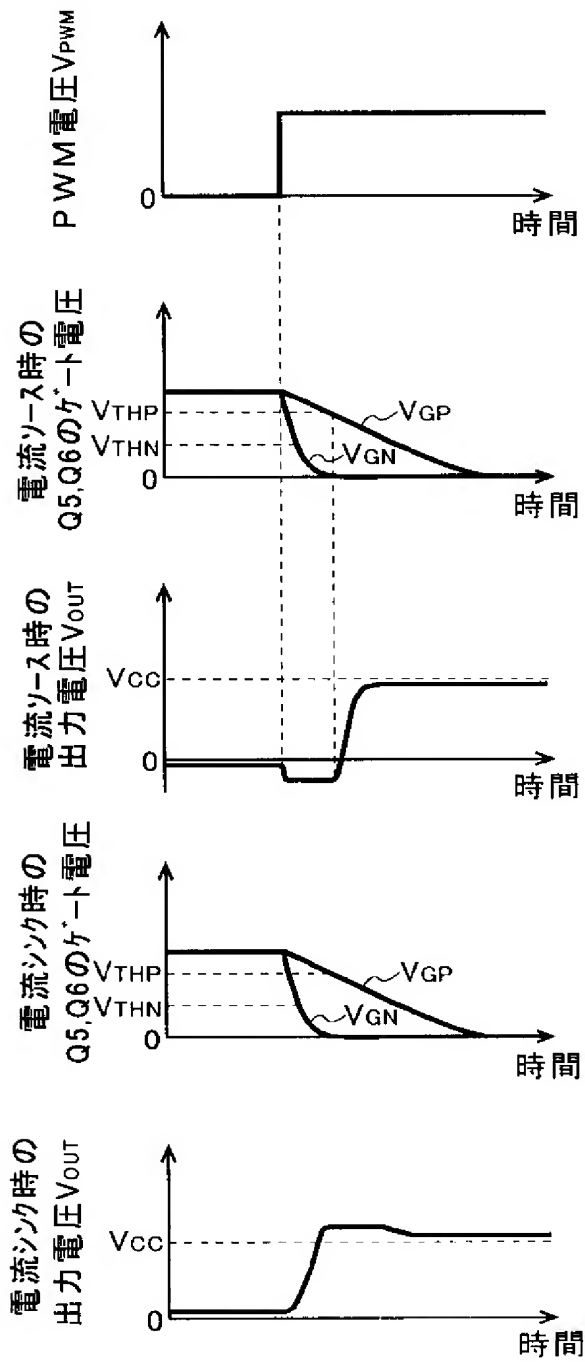
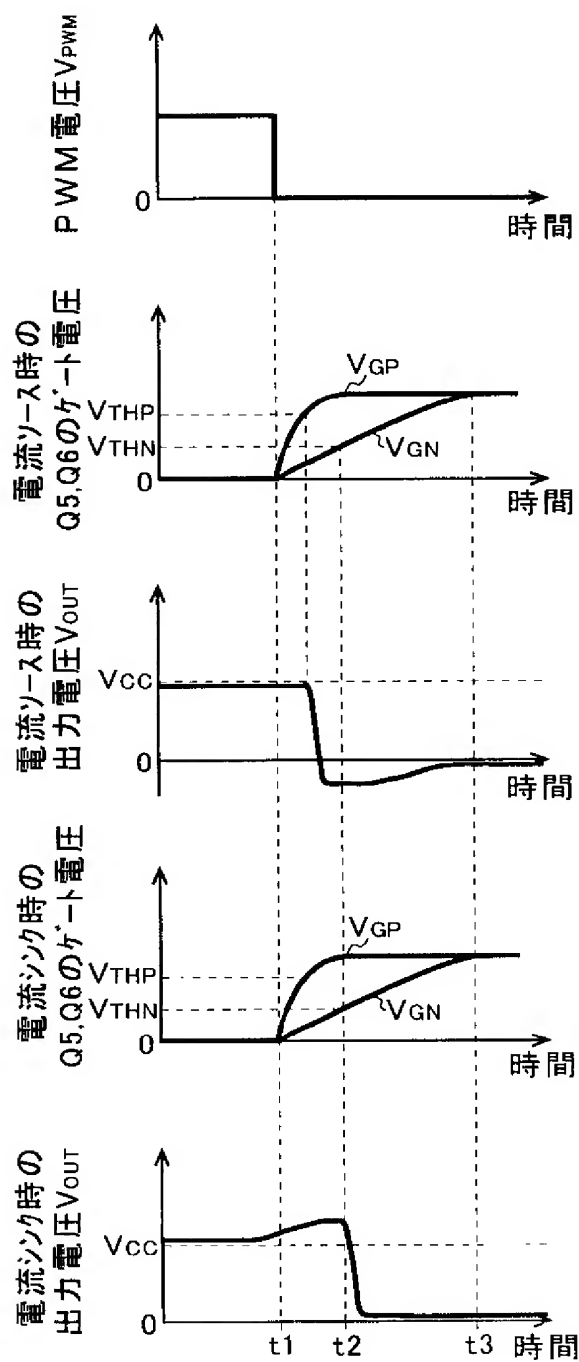


【 図 6 】



(a)

(b)



【書類名】 要約書

【要約】

【課題】 スイッチングノイズ及びスイッチング損失が小さいP W M駆動回路を提供する。

【解決手段】 負荷駆動用パワーM O SトランジスタQ 5（Q 6）と、抵抗R 3（R 5）またはR 4（R 6）とM O SトランジスタQ 5（Q 6）の容量とから成り、P W M電圧に基づく電圧のスルーレートを下げてM O SトランジスタQ 5（Q 6）のゲートに供給するC R回路と、M O SトランジスタQ 5（Q 6）のゲート電圧が変動するゲート電圧過渡期間において、M O SトランジスタQ 5（Q 6）のオフからオンへの切り替わりが完了したことを検知すると、前記C R回路の動作を停止させM O SトランジスタQ 5（Q 6）のゲート電位を所定値に引き下げる（引き上げる）ゲート電圧制御部4（5）と、を備えるP W M駆動回路。

【選択図】 図 1

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社